

DMA TRANSFER DEVICE AND DATA TRANSFER SYSTEM

Publication number: JP2002229932 (A)

Publication date: 2002-08-16

Inventor(s): NAGASAWA KAZUHIRO

Applicant(s): SHARP KK

Classification:

- **international:** G06F13/28; G06F13/362; G06F13/20; G06F13/36; (IPC1-7): G06F13/28; G06F13/362

- **European:**

Application number: JP20010029620 20010206

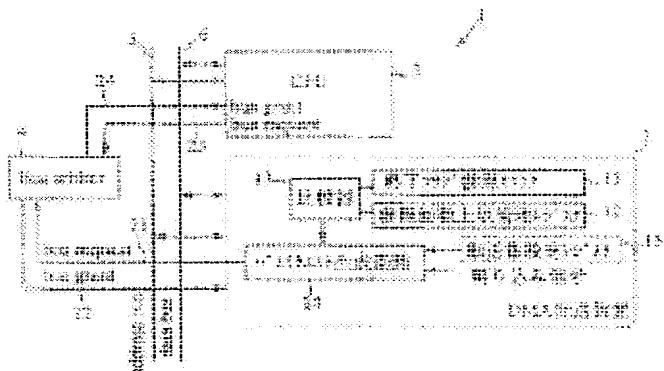
Priority number(s): JP20010029620 20010206

Also published as:

JP3497478 (B2)

Abstract of JP 2002229932 (A)

PROBLEM TO BE SOLVED: To provide a DMA transfer device of a cycle steal system in which such a useless CPU cycle, for the constant monitoring of the transfer termination of DMA, that is caused by the transfer of bus use rights to the CPU, does not occur, and to provide a data transfer system including these DMA transfer devices.; **SOLUTION:** The DMA transfer device 2 has a bus request generation circuit 14, a DMA transfer termination flag reference counter 11 that is a counter for counting the number of times of reference to termination flag that is a detection means for detecting the status of waiting for DMA transfer termination of a CPU 3, an upper bound of the number of times of reference management register 12 of a register that makes the setting of the upper bound of the number of times of reference, and a comparator 13 that compares the discrete value of the DMA transfer termination flag reference counter 11 with the set value of the number of times of reference management register 12.; If the number of times of reference, for the termination status, to the DMA transfer device 2 that is detected with the detection means hits a fixed number of times or more, it is judged that the CPU has entered the status of monitoring the termination of DMA transfer.



Data supplied from the **esp@cenet** database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-229932

(P2002-229932A)

(43)公開日 平成14年8月16日 (2002.8.16)

(51)Int.Cl.⁷

G 06 F 13/28
13/362

識別記号

3 1 0
5 1 0

F I

G 06 F 13/28
13/362

テマコード(参考)

3 1 0 B 5 B 0 6 1
5 1 0 H

(21)出願番号

特願2001-29620(P2001-29620)

(22)出願日

平成13年2月6日 (2001.2.6)

(71)出願人

000003049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者

長澤 和広
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(74)代理人

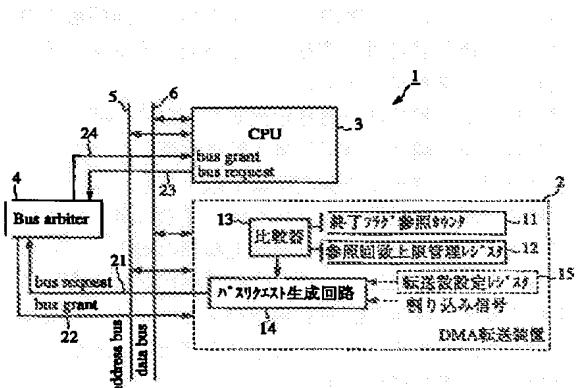
100084548
弁理士 小森 久夫
Fターム(参考) 5B061 BB05 BB15 BB17 BB41 BC08
CC09 DD17 DD18 PP04

(54)【発明の名称】 DMA転送装置及びデータ転送システム

(57)【要約】

【課題】CPUにバスの使用権が委譲されることにより、DMAの転送終了を常に監視するといった無駄なCPUサイクルの発生がないサイクルスチール方式のDMA転送装置、及びこれらのDMA転送装置を含むデータ転送システムを提供する。

【解決手段】DMA転送装置2は、バスリクエスト生成回路14と、CPU3のDMA転送終了待ち状態を検知する検知手段である終了フラグの参照回数を勘定するカウンタであるDMA終了フラグ参照カウンタ11、参照回数の上限を設定するレジスタである参照回数上限管理レジスタ12、及びDMA終了フラグ参照カウンタ11の計数値と参照回数上限管理レジスタ12の設定値とを比較する比較器13を備えている。検知手段で検知したDMA転送装置2への終了ステータスの参照回数が一定回数以上になった場合に、DMA転送の終了をCPUが監視している状態になったと判断する。



【特許請求の範囲】

【請求項1】 データのDMA転送を所定時間毎または所定回数毎に行うDMA転送装置であって、CPUがDMA転送装置の転送終了待ち状態であることを検知して所定の信号を出力する検知手段と、該検知手段の出力信号に応じてバス使用要求を出力するバスリクエスト生成手段と、を備えたことを特徴とするDMA転送装置。

【請求項2】 前記転送終了待ち状態において、1回のデータ転送時間またはデータ転送回数を変更可能な転送数設定手段を備えたことを特徴とする請求項1に記載のDMA転送装置。

【請求項3】 前記検知手段は、前記CPUの終了ステータス参照回数が所定の回数以上、または参照周期が所定の周期以下になると、所定の信号を前記バスリクエスト生成手段に対して出力することを特徴とする請求項1または2に記載のDMA転送装置。

【請求項4】 前記バスリクエスト生成手段は、割り込み発生を検知すると、バスの使用権をCPUに委譲する信号を出力することを特徴とする請求項1乃至3のいずれかに記載のDMA転送装置。

【請求項5】 請求項1乃至4のいずれかに記載のDMA転送装置と、バスを介してデータを送受信するCPUと、該DMA転送装置及び該CPUのバス使用要求を調停するバス使用権調停装置と、を含むことを特徴とするデータ転送システム。

【請求項6】 前記バス使用権調停装置は、検知した割り込み発生要因が前記DMA転送装置の終了割り込みでない場合、割り込み応答終了後、再度バスの使用権を前記DMA転送装置に付与することを特徴とする請求項5に記載のデータ転送システム。

【請求項7】 割り込み信号を検知するための割り込みコントローラを備え、前記DMA転送装置に代えて、該割り込みコントローラが前記検知手段を有し、前記検知手段は、割り込みコントローラのDMA転送装置における転送の終了割り込み発生検知の対象ビット参照回数が所定の回数以上、または参照周期が所定の周期以下になると、所定の信号を前記バスリクエスト生成手段に対して出力することを特徴とする請求項5または6に記載のデータ転送システム。

【請求項8】 CPUが参照するアドレスをデコードするアドレスデコーダを備え、前記DMA転送装置に代えて、該アドレスデコーダが前記検知手段を有し、前記検知手段は、前記CPUの特定のアドレスへの参照回数が所定の回数以上、または参照周期が所定の周期以下になると、所定の信号を前記バスリクエスト生成手段に対して出力することを特徴とする請求項5または6に記載のデータ転送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、DMA転送装置及びデータ転送システムに関する。

【0002】

【従来の技術】 CPUを介さずにデバイスからメモリへ、またはメモリからデバイスへデータの転送を行う方式として、ダイレクトメモリアクセス(以下、DMAと称する。)転送方式がある。DMA転送方式には、インタロック方式やサイクルスチール方式などがある。

【0003】 インタロック方式の場合、DMA転送装置は一旦バスの使用権を獲得すると、DMA転送装置の転送終了条件が満足されるまでバスを解放することなく、DMA転送を連続的に行う。

【0004】 サイクルスチール方式の場合、DMA転送装置は所定時間、または所定回数といった一転送単位の転送を終了する毎にバスを解放し、CPUにバスの使用権を委譲する。その後、再度のDMA転送装置の転送要求が発生した場合、DMA転送装置はCPUからバスの使用権を獲得し、再度一転送単位のDMA転送を行い、転送終了後再びCPUにバスの使用権を委譲する。この動作はDMA転送の転送終了条件が満足されるまで繰り返し実行される。

【0005】 インタロック方式は制御が簡単であり、DMA転送として高いスループットが得られる。しかし、DMA転送中はCPU動作の介入ができなくなるため、例えば、割り込み応答といったCPUの迅速なる処理が必要となる状況においても、その応答がDMAの転送終了を待たねばならないといった問題が生じる。

【0006】 サイクルスチール方式では、一定間隔でCPUがバスの使用権を獲得できるため、インタロック方式のように必要なCPU動作まで制限されるといった問題は生じない。しかしながら、サイクルスチール方式を実現するためのハードウェア資源、及びバス調停のためのバスアービタが必要となる。また、バスアービタの調停方式に基づくバスの使用権獲得のために、アービレーションが頻繁に生じる。そのため、所望のデータの転送を完了するための転送速度が遅くなるという問題が生じる。

【0007】 現状のDMA転送方式はサイクルスチール方式が一般的であり、インタロック方式はユーザが意識して設定し使用する場合に限られる傾向にある。つまり、インタロック方式は、サイクルスチール方式のDMA転送装置において付加機能たる要素が強い。

【0008】 次に、従来のDMA転送装置を含むデータ転送システムの構成を図2に基づいて説明する。図2には、従来のDMA転送装置を含むデータ転送システムの構成図である。データ転送システム51は、DMA転送装置52、CPU53、バスアービタ(Bus arbiter)54を含む構成である。DMA転送装置52及びCPU53は、アドレスバス55とデータバス56とにそれぞれ接続されている。また、バスアービタ54及びDMA

転送装置52は、バスリクエスト(bus request)線71とバスグラント(bus grant)線72により接続されている。さらに、バスアービタ54及びCPU53は、バスリクエスト(bus request)線73とバスグラント(bus grant)線74により接続されている。

【0009】DMA転送装置52は、バスリクエスト生成回路64を備えており、インタロック方式固定、サイクルスチール方式固定、またはその両方式を設定可能である。DMA転送装置52は、バスリクエスト生成回路64からバスアービタ54に対して、バスの使用要求(バスリクエスト)を出す。バスアービタ54は、バスのアービトリエーション手段(不図示)に従って、CPU53及びDMA転送装置52にアドレスバス55とデータバス56との使用権を与える。なお、図2においては、CPU53及びDMA転送装置52がバスマスターとなるが、複数のバスマスターを用いた構成のシステムも存在する。

【0010】DMA転送方式を採用したデータ転送システムにおいて、バスの効率的使用を目的として、例えば特開平11-232215号公報には、バスの空き時間を利用してバス使用状況の情報を送信し、それに基づき各バスマスターが使用要求のスケジューリングを行うバスコントローラ、バスマスター装置及びバス制御システムの制御方法に関する技術が開示されている。また、特開平5-282243号公報には、CPUの命令を解読して、例えば乗算命令といったCPU内部で複数サイクルに渡って処理される命令発行時などのバスを所定期間使用しなくなる際には、DMA転送装置にバスの使用権を与えるバスマスター装置及び該装置を用いた電子機器に関する技術が開示されている。

【0011】【発明が解決しようとする課題】バスの使用効率を上げる目的でサイクルスチール方式のDMA転送装置を採用したデータ転送システムでは、CPUがDMA転送の転送終了を待っている状態にある時、次のような問題がある。すなわち、CPUへバスの使用権が委譲された時に、DMAの転送終了を常に監視するといった無駄なCPUサイクルが発生してしまう。そのため、このCPUサイクルがDMA転送の転送速度を減じてしまう。一方、DMA転送装置の転送速度を速めるためにインタロック方式を採用すると、割り込み応答等の迅速な応答が必要とされるCPUサイクルまで制限してしまうという問題がある。これらの問題についての対策は、上記の従来技術には記載されていない。

【0012】そこで、この発明は上記の問題を解決するために創作したものであり、その目的は、CPUにバスの使用権が委譲されることにより、DMAの転送終了を常に監視するといった無駄なCPUサイクルの発生がないサイクルスチール方式のDMA転送装置及びサイクルスチール方式とインタロック方式とを兼ね備えたDMA

転送装置、及びこれらのDMA転送装置を含むデータ転送システムを提供することである。

【0013】【課題を解決するための手段】この発明は、上記の課題を解決するための手段として、以下の構成を備えている。

【0014】(1) データのDMA転送を所定時間毎または所定回数毎に行うDMA転送装置であって、CPUがDMA転送装置の転送終了待ち状態であることを検知して所定の信号を出力する検知手段と、該検知手段の出力信号に応じてバス使用要求を出力するバスリクエスト生成手段と、を備えたことを特徴とする。

【0015】この構成において、DMA転送装置は、CPUがDMA転送装置の転送終了待ち状態であることを検知して所定の信号を出力する検知手段と、該検知手段の出力信号に応じてバス使用要求を出力するバスリクエスト生成手段と、を備え、データのDMA転送を必要に応じた任意の時間毎または回数毎に行う。したがって、DMA転送装置が検知手段でCPUがDMA転送装置の転送終了待ち状態であることを検知するので、従来のようにCPUにおいて、サイクルスチール方式のDMA転送装置のDMA転送終了を常に監視するといった無駄なCPUサイクルの発生を減じることができ、DMA転送装置の転送速度を高めることができる。

【0016】(2) 上記の構成において、前記転送終了待ち状態における1回のデータ転送時間またはデータ転送回数を変更可能な転送数設定手段を備えたことを特徴とする。

【0017】この構成において、DMA転送装置は、転送数設定手段で転送終了待ち状態における1回のデータ転送時間またはデータ転送回数を変更可能である。したがって、DMA転送装置は、必要な時間または必要な回数だけバスの使用権を占有することができる。

【0018】(3) 前記検知手段は、前記CPUの終了ステータス参照回数が所定の回数以上、または参照周期が所定の周期以下になると、所定の信号をバスリクエスト生成手段に対して出力することを特徴とする。

【0019】この構成において、CPUの終了ステータス参照回数が所定の回数以上、または参照周期が所定の周期以下になると、DMA転送装置の検知手段は、所定の信号をバスリクエスト生成手段に対して出力する。したがって、CPUが常にDMA転送装置のDMA転送終了を監視する必要がない。

【0020】(4) (3) の構成において、前記検知手段は、前記CPUが終了フラグを参照した回数を計数する終了フラグ参照回数計数手段と、前記CPUの終了フラグ参照回数の上限を設定した参照回数上限登録手段と、該終了フラグ参照回数計数手段の計数値と該参照回数上限登録手段の設定値とを比較して、該終了フラグ参照回数計数手段の計数値が該参照回数上限登録手段の設定値

を超えると所定の信号を出力する比較手段と、により構成されたとすることができます。

【0021】この構成において、検知手段の比較手段は、終了フラグ参照回数計数手段が計数したCPUの終了フラグを参照した回数と、参照回数上限登録手段に設定されたCPUの終了フラグ参照回数の上限設定値と、を比較して、終了フラグ参照回数計数手段の計数値が参照回数上限登録手段の設定値を超えると所定の信号を出力する。したがって、CPUがDMA転送装置のDMA転送終了待ち状態であることを簡単な構成で容易に検出することが可能となる。

【0022】(5) 前記バスリクエスト生成手段は、割り込み発生を検知すると、バスの使用権をCPUに委譲する信号を出力することを特徴とする請求項1乃至3のいずれかに記載のDMA転送装置。

【0023】この構成においては、割り込み発生を検知すると、バスの使用権をCPUに委譲する信号をバスリクエスト生成手段は出力する。したがって、割り込みが発生した際には、速やかに割り込み処理を行なうことが可能となる。

【0024】(6) 請求項1乃至4のいずれかに記載のDMA転送装置と、バスを介してデータを送受信するCPUと、該DMA転送装置及び該CPUのバス使用要求を調停するバス使用権調停装置と、を含むことを特徴とする。

【0025】この構成において、データ転送システムとは、請求項1乃至請求項4のいずれかに記載のDMA転送装置と、バスを介してデータを送受信するCPUと、該DMA転送装置及び該CPUのバス使用要求を調停するバス使用権調停装置と、を含んで構成される。したがって、回路規模のさしたる増加もなく、容易にサイクルスチール方式のDMA転送装置を構成要素とするデータ転送システムにおいて、特にDMAの転送終了を常に監視するといった無駄なCPUサイクルの発生を減じることができ、DMA転送装置の転送速度を高めることができる。

【0026】(7) 前記バス使用権調停装置は、検知した割り込み発生要因が前記DMA転送装置の終了割り込みでない場合、割り込み応答終了後、再度バスの使用権を前記DMA転送装置に付与することを特徴とする。

【0027】この構成において、データ転送システムのバス使用権調停装置は、検知した割り込み発生要因が前記DMA転送装置の終了割り込みでない場合、割り込み応答終了後、再度バスの使用権を前記DMA転送装置に付与する。したがって、割り込みを検知した際に、DMA転送装置の転送処理が完了していなかった場合には、割り込み応答後にDMA転送装置が必要な時間または回数だけバスを占有可能な状態に速やかに復帰することができる。

【0028】(8) 割り込み信号を検知するための割り込

みコントローラを備え、前記DMA転送装置に代えて、該割り込みコントローラが前記検知手段を有し、前記検知手段は、割り込みコントローラのDMA転送装置における転送の終了割り込み発生検知の対象ビット参照回数が所定所定の回数以上、または参照周期が所定の周期以下になると、所定の信号をバスリクエスト生成手段に対して出力することを特徴とする。

【0029】この構成において、データ転送システムとは、DMA転送装置に代えて、割り込み信号を検知するための割り込みコントローラが、CPUがDMA転送装置の転送終了待ち状態であることを検知して所定の信号を出力する検知手段を有し、検知手段は、割り込みコントローラのDMA転送装置における転送の終了割り込み発生検知の対象ビット参照回数が所定所定の回数以上、または参照周期が所定の周期以下になると、所定の信号をバスリクエスト生成手段に対して出力する。したがって、データ転送システムの特性に応じて、検知手段の実装位置を代えて、割り込みコントローラにより、CPUがDMA転送装置の転送終了待ち状態であることを検知することが可能となる。

【0030】(9) CPUが参照するアドレスをデコードするアドレスデコーダを備え、前記DMA転送装置に代えて、該アドレスデコーダが前記検知手段を有し、前記検知手段は、前記CPUの特定のアドレスへの参照回数が所定の回数以上、または参照周期が所定の周期以下になると、所定の信号をバスリクエスト生成手段に対して出力することを特徴とする。

【0031】この構成において、データ転送システムとは、DMA転送装置に代えて、CPUが参照するアドレスをデコードするアドレスデコーダが、CPUがDMA転送装置の転送終了待ち状態であることを検知して所定の信号を出力する検知手段を有し、検知手段は、前記CPUの特定のアドレスへの参照回数が所定の回数以上、または参照周期が所定の周期以下になると、所定の信号をバスリクエスト生成手段に対して出力する。したがって、データ転送システムの状態に応じて、検知手段の実装位置を代えて、アドレスデコーダにより、CPUがDMA転送装置の転送終了待ち状態であることを検知することが可能となる。

【0032】
【発明の実施の形態】図1に基づいて、本発明の実施形態に係るデータ転送システムの構成を説明する。図1は、データ転送システムの概略の構成図である。データ転送システム1は、DMA転送装置2、CPU3、バス使用権調停装置であるバスアービタ(Bus arbiter)4を含む構成である。DMA転送装置2及びCPU3は、アドレスバス5とデータバス6とにそれぞれ接続されている。また、バスアービタ4及びDMA転送装置2は、バスリクエスト(bus request)線21とバスグラント(bus grant)線22により接続されている。さら

に、バスアービタ4及びCPU3は、バスリクエスト(bus request)線23とバスグラント(bus grant)線24により接続されている。

【0033】DMA転送装置2は、サイクルスチール方式またはサイクルスチール方式とインタロック方式の両方式を設定可能であり、バスリクエスト生成手段としてバスリクエスト生成回路14を備えている。また、DMA転送装置2内にCPU3のDMA転送終了待ち状態を検知する検知手段として、終了フラグの参照回数を勘定するカウンタであるDMA終了フラグ参照カウンタ11、参照回数の上限を設定するレジスタである参照回数上限管理レジスタ12、及びDMA終了フラグ参照カウンタ11の計数値と参照回数上限管理レジスタ12の設定値とを比較する比較器13を備えている。

【0034】本発明のデータ転送システムでは、DMA転送装置2への終了ステータスの参照回数が一定回数以上になった場合に、DMA転送の終了をCPU3が監視している状態になったと判断する。つまり、DMA終了フラグ参照カウンタ11は、CPU3が終了ステータスであるDMA終了フラグを参照する毎にカウントアップし、予め設定した参照回数上限管理レジスタ12の値を超えた時、CPU3がDMA転送装置2の転送終了待ち状態(以下、DMA転送終了待ち状態と称する。)に入ったものとする。

【0035】このDMA転送終了待ち状態において、DMA転送装置2では、DMA終了フラグ参照カウンタ11の計数値が予め設定した参照回数上限管理レジスタ12の値を超えた時に、比較器13から所定の信号が出力される。この信号はバスリクエスト生成回路14に入力される。バスリクエスト生成回路14はバスリクエストを出し続ける機能を有し、この場合、バスリクエスト線21を介してバスアービタ4にバスリクエストを出力する。

【0036】バスアービタ4は、CPU3及びDMA転送装置2からバスリクエストを受け取ると、バスの使用権を調停して、CPU3及びDMA転送装置2のいずれかにアドレスバス5とデータバス6との使用権を与える。この時、DMA転送装置2のバス使用権の優先順位をCPU3より高く設定しておくことにより、DMA転送装置2は該DMA転送終了待ち状態においてバスの使用権を占有することができる。

【0037】さらに、該DMA転送終了待ち状態における所定時間または所定回数といった1回のデータ転送時間またはデータ転送回数(一転送単位の転送数)を設定する転送数設定レジスタ15を、転送数設定手段として設けておく。そして、バスリクエスト生成回路14がバスリクエストを出力する際に、この転送数設定レジスタ15に設定された一転送単位の転送数を参照するよう設定する。1回のデータ転送時間またはデータ転送回数(一転送単位の転送数)は、任意の値に設定可能とす

る。これによって、より柔軟なバスの使用権のアービトレーションが可能となる。

【0038】また、上記の構成においては、DMA転送装置に転送回数の設定レジスタの転送が完了する毎にバスの要求を取り下げる機能を設ける。これにより、DMA転送装置2は該DMA転送終了待ち状態において、必要な時間または回数だけバスの使用権を占有することができる。

【0039】なお、本発明のデータ転送システムでは、DMA転送装置への終了ステータスの参照周期が一定周期以下になった場合に、DMA転送の終了をCPUが監視している状態になったと判断するようにしてもよい。

【0040】次に、本発明の実施形態に係るデータ転送システムのバスサイクルについて説明する。図3は、図2に示した従来のデータ転送システム5.1のバスサイクルのタイミングチャートである。図4は、図1に示した本発明のデータ転送システム1におけるバスサイクルのタイミングチャートである。

【0041】従来のデータ転送システム5.1では、一定間隔毎にDMA転送装置5.2からCPU5.3にバスの使用権が委譲されている。すなわち、図3に示したように、DMA転送装置5.2が4サイクルの間バスを使用すると、CPU5.3は最低1サイクルの間バスを使用する。データ転送システムでは、データ転送が終了するまでこのサイクルが繰り返される。

【0042】一方、本発明のデータ転送システム1では、CPU3がDMA終了フラグを所定の回数参照することにより、DMA転送終了待ち状態となる。図4に示したように、CPU3が最低1サイクルの間バスを使用した際に、DMA転送終了待ち状態を検知すると、DMA転送装置2はその後、その構成または設定に基づく任意の期間バスを占有することができる。

【0043】また、図1に示したDMA転送装置2のバスリクエスト生成回路14には、データ転送システム1に割り込みが発生した際の検知信号が入力される構成も考えられる。DMA転送装置2は、DMA転送終了待ち状態を検知し、DMA転送装置がバスの使用権を保持している状態において、割り込みが検知された等のCPUの迅速な応答が必要となる際には、DMA転送装置2が自らバス要求を取り下げる、またはCPU3よりもバス要求の優先度を下げるための信号をバスアービタに出力する。これにより、DMA転送装置2は必要な転送処理の終了後、速やかにバスの使用権をCPU3に委譲することができる。

【0044】図5は、割り込みを検知した場合におけるデータ転送システムのバスタイミングチャートである。図5では、DMA転送装置2は、DMA転送終了待ち状態を検知して、その後バスを占有してデータ転送を行っている。そして、割り込みが検知され、その割り込み検知信号がDMA転送装置2のバスリクエスト生成回路14に

4に入力されると、必要な転送処理を完了した後、速やかにバス使用権をCPUに委譲する。これにより、CPU3は直ちに割り込み応答を実行できる。

【0045】また、割り込みを検知した際の割り込み要因がDMA転送装置2の終了割り込み発生でなかった場合には、割り込み応答後にDMA転送装置2が必要な時間または回数だけ、バスを占有可能な状態に速やかに復帰することができる。よって、バスリクエスト生成回路14は、割り込み入力が非アクティブ側に変化した際には、再度必要な時間または回数だけバス要求を出し続ける。

【0046】また、DMA転送終了待ち状態を検知してDMA転送装置2がバスの使用権を保持している状態において、割り込みが検知された等の理由でバスの使用権をCPU3に委譲した場合に、終了フラグ参照カウンタ11をクリアする構成も考えられる。これにより、割り込み応答後、データ転送システム1は正規のサイクルスチール転送方式を実行する状態に戻る。また、DMA転送終了待ち状態を再度検知した場合には、DMA転送装置2がバスの使用権を優先的に使用することができる。

【0047】なお、上記の構成要素はDMA転送装置内にある必要はない。必要に応じて実装位置を変えることができるものとする。例えば、データ転送システム1において、国外の割り込みコントローラにDMA転送終了待ち状態を検知する検知手段であるDMA終了フラグ参照カウンタ11、参照回数上限管理レジスタ12及び比較器13を備えた構成であっても良い。この場合、参照回数上限管理レジスタ12に割り込みコントローラのDMA転送装置2の転送時における終了割り込み発生検知の対象ビット参照回数の上限値または参照周期の下限値を設定する。また、DMA終了フラグ参照カウンタ11は、割り込みコントローラのDMA転送装置における転送の終了割り込み発生検知の対象ビット参照回数、または参照周期を確認するようとする。そして、DMA終了フラグ参照カウンタ11は、割り込みコントローラのDMA転送装置における転送の終了割り込み発生検知の対象ビット参照回数が所定の回数以上、または参照周期が所定の周期以下になると、比較器13は所定の信号をバスリクエスト生成回路14に対して出力するようになる。これにより、データ転送システムの特性に応じて、該検知手段の実装位置を代えて、割り込みコントローラにより、CPUがDMA転送装置の転送終了待ち状態であることを検知することができる。

【0048】また、データ転送システム1において、DMA転送終了待ち状態を検知する検知手段であるDMA終了フラグ参照カウンタ11、参照回数上限管理レジスタ12及び比較器13を、国外のアドレスデコーダが備えた構成であっても良い。この場合、参照回数上限管理レジスタ12にCPU3の特定のアドレスへの参照アドレスデコーダのDMA転送装置2の転送時における終了

割り込み発生検知の対象ビット参照回数の上限値または参照周期の下限値を設定する。また、DMA終了フラグ参照カウンタ11は、CPU3の特定のアドレスへの参照回数、または参照周期を確認するようになる。そして、DMA終了フラグ参照カウンタ11は、CPU3からの特定のアドレスへの参照回数が所定の回数以上、または参照周期が所定の周期以下になると、比較器13は所定の信号をバスリクエスト生成回路14に対して出力するようになる。これにより、データ転送システムの特性に応じて、検知手段の実装位置を代えて、アドレスデコーダにより、CPUがDMA転送装置の転送終了待ち状態であることを検知することが可能となる。上記の構成方法は、データ転送システム1が割り込みを持っている状態では、割り込みが発生するまで割り込みコントローラのレジスタのアクセスがない場合もあるため、そのような場合に特に有効である。

【0049】なお、特定のアドレスとは、DMA転送装置2の転送終了を常に監視する目的に利用されるデータ転送システムを構成するハードウェア資源の位置を示すアドレスのことである。DMA転送装置2の転送終了を監視するために必要なものであればいかなるアドレスであってもよい。

【0050】
【発明の効果】本発明によれば、以下の効果が得られる。

【0051】(1) DMA転送装置は、CPUがDMA転送装置の転送終了待ち状態であることを検知して所定の信号を出力する検知手段と、該検知手段の出力信号に応じてバス使用要求を出力するバスリクエスト生成手段と、を備え、上記構成により、従来のようにCPUにおいて、サイクルスチール方式のDMA転送装置のDMA転送終了を常に監視するといった無駄なCPUサイクルの発生を減じることができ、DMA転送装置の転送速度を高めることができる。

【0052】(2) DMA転送装置は、転送数設定手段を付加することもでき、該転送数設定手段で転送待ち状態における1回のデータ転送時間またはデータ転送回数を変更可能であるため、必要な時間または必要な回数だけバスの使用権を占有することが可能となる。

【0053】(3) CPUの終了ステータス参照回数が所定の回数以上、または参照周期が所定の周期以下になると、DMA転送装置の検知手段は、所定の信号をバスリクエスト生成手段に対して出力するので、CPUが常にDMA転送装置のDMA転送終了を監視しなくてもよい。

【0054】(4) 割り込み発生を検知すると、バスの使用権をCPUに委譲する信号をバスリクエスト生成手段が出力する構成も考えられ、この場合、割り込みが発生した際には、速やかに割り込み処理を行うことができる。

【0055】(5) データ転送システムは、請求項1乃至請求項4のいずれかに記載のDMA転送装置と、バスを介してデータを送受信するCPUと、該DMA転送装置及び該CPUのバス使用要求を調停するバス使用権調停装置と、を含んで構成される。回路規模のさしたる増加もなく、容易にサイクルスチール方式のDMA転送装置を構成要素とするデータ転送システムにおいて、特にDMAの転送終了を常に監視するといった無駄なCPUサイクルの発生を減じることができ、DMA転送装置の転送速度を高めることができる。

【0056】(6) データ転送システムのバス使用権調停装置は、検知した割り込み発生要因が前記DMA転送装置の終了割り込みでない場合、割り込み応答後、再度バスの使用権を前記DMA転送装置に付与するので、割り込みを検知した際に、DMA転送装置の転送処理が完了していなかった場合には、割り込み応答後にDMA転送装置が必要な時間または回数だけバスを占有可能な状態に速やかに復帰することができる。

【0057】(7) データ転送システムは、DMA転送装置に代えて、割り込み信号を検知するための割り込みコントローラが、CPUがDMA転送装置の転送終了待ち状態であることを検知して所定の信号を出力する検知手段を有し、検知手段は、割り込みコントローラのDMA転送装置における転送の終了割り込み発生検知の対象ビット参照回数が所定所定の回数以上、または参照周期が所定の周期以下になると、所定の信号をバスリクエスト生成手段に対して出力する。上記のように、データ転送システムの特性に応じて検知手段の実装位置を代えて、割り込みコントローラにより、CPUがDMA転送装置の転送終了待ち状態であることを検知することができる。

【0058】(8) データ転送システムは、DMA転送装置に代えて、CPUが参照するアドレスをデコードするアドレスデコーダが、CPUがDMA転送装置の転送終了待ち状態であることを検知して所定の信号を出力する検知手段を有し、検知手段は、前記CPUの特定のアドレスへの参照回数が所定の回数以上、または参照周期が所定の周期以下になると、所定の信号をバスリクエスト生成手段に対して出力する。上記のように、データ転送システムの特性に応じて、検知手段の実装位置を代えて、アドレスデコーダにより、CPUがDMA転送装置の転送終了待ち状態であることを検知することができる。

【図面の簡単な説明】

【図1】データ転送システムの概略の構成図である。

【図2】従来のDMA転送装置を含むデータ転送システムの構成図である。

【図3】図2に示した従来のデータ転送システム1のバスサイクルのタイミングチャートである。

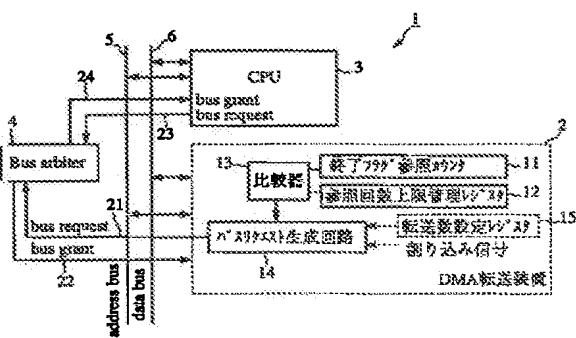
【図4】図1に示した本発明のデータ転送システム1におけるバスサイクルのタイミングチャートである。

【図5】割り込みを検知した場合におけるデータ転送システムのバスタイミングチャートである。

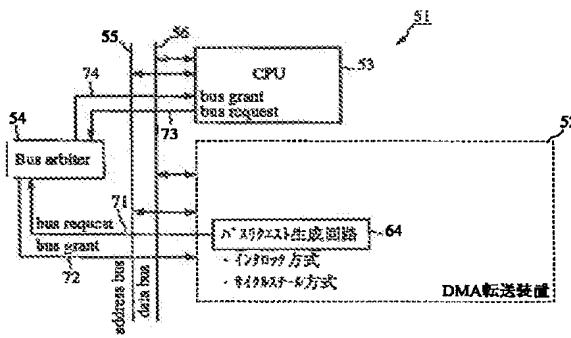
【符号の説明】

- 1, 51—データ転送システム
- 2, 52—DMA転送装置
- 3, 53—CPU
- 1.1—DMA終了フラグ参照カウンタ
- 1.2—参照回数上限管理レジスタ
- 1.3—比較器
- 1.4, 6.4—バスリクエスト生成回路

【図1】



【図2】



DMAとCPUが並行で動作する場合、DMAとCPUの競合を避けるためには、DMAとCPUの同期が必要となる。

【図3】 DMAとCPUの同期

DMAとCPUが並行で動作する場合、DMAとCPUの競合を避けるためには、DMAとCPUの同期が必要となる。DMAとCPUが並行で動作する場合、DMAとCPUの競合を避けるためには、DMAとCPUの同期が必要となる。

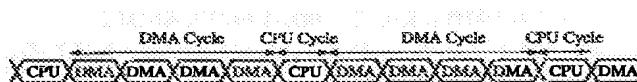


図3は、DMAとCPUが並行で動作する場合、DMAとCPUの競合を避けるためには、DMAとCPUの同期が必要となる。

【図4】 DMAとCPUの同期

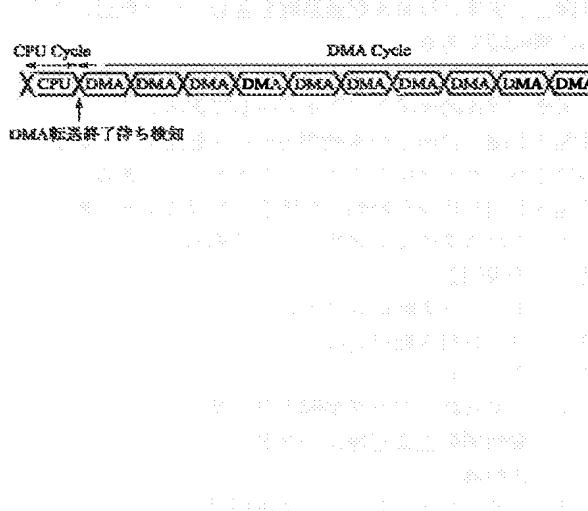


図4は、DMAとCPUの同期を示す。DMAとCPUが並行で動作する場合、DMAとCPUの競合を避けるためには、DMAとCPUの同期が必要となる。

図4は、DMAとCPUの同期を示す。DMAとCPUが並行で動作する場合、DMAとCPUの競合を避けるためには、DMAとCPUの同期が必要となる。

図4は、DMAとCPUの同期を示す。DMAとCPUが並行で動作する場合、DMAとCPUの競合を避けるためには、DMAとCPUの同期が必要となる。

図4は、DMAとCPUの同期を示す。DMAとCPUが並行で動作する場合、DMAとCPUの競合を避けるためには、DMAとCPUの同期が必要となる。

